

10/35273 04. 3. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

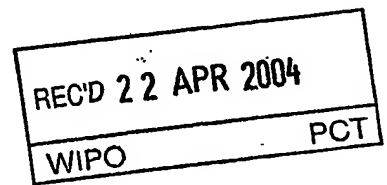
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 7 2 6 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 7 2 6 1]

出 願 人 日 本 電 信 電 話 株 式 有 限 公 司
Applicant(s):

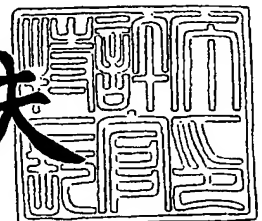


**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 4 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 2 8 7 4 4

【書類名】 特許願

【整理番号】 NTTH146970

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/00

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号
 日本電信電話株式会社内

 【氏名】 大友 祐輔

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号
 日本電信電話株式会社内

 【氏名】 野河 正史

【特許出願人】

 【識別番号】 000004226

 【氏名又は名称】 日本電信電話株式会社

【代理人】

 【識別番号】 100075753

 【弁理士】

 【氏名又は名称】 和泉 良彦

 【電話番号】 03-3214-0502

【選任した代理人】

 【識別番号】 100081341

 【弁理士】

 【氏名又は名称】 小林 茂

 【電話番号】 03-3214-0502

【手数料の表示】

 【予納台帳番号】 084480

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0207046

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相比較回路

【特許請求の範囲】

【請求項 1】

入力データの半分のレートをもつクロックで動作するハーフレート位相比較回路において、第 1 のラッチ回路と第 2 のラッチ回路に前記データを入力し、前記第 1 のラッチ回路は第 1 のクロックでラッチを行い、前記第 2 のラッチ回路は前記第 1 のクロックの反転クロックである第 2 のクロックでラッチを行い、前記第 1 のラッチ回路の出力を第 3 のラッチ回路に入力し、前記第 2 のラッチ回路の出力を第 4 のラッチ回路に入力し、前記第 3 のラッチ回路は前記第 2 のクロックでラッチを行い、前記第 4 のラッチ回路は前記第 1 のクロックでラッチを行い、前記第 2 のラッチ回路の出力と前記第 3 のラッチ回路の出力との間の排他的論理和を第 1 の位相比較信号とし、前記第 1 のラッチ回路の出力と前記第 4 のラッチ回路の出力との間の排他的論理和を第 2 の位相比較信号としたことを特徴とする位相比較回路。

【請求項 2】

前記第 2 のラッチ回路の出力端子に第 1 の遅延回路を接続し、前記第 1 の遅延回路の出力と前記第 3 のラッチ回路の出力との間の排他的論理和を前記第 1 の位相比較信号とし、前記第 1 のラッチ回路の出力端子に第 2 の遅延回路を接続し、前記第 2 の遅延回路の出力と前記第 4 のラッチ回路の出力との間の排他的論理和を前記第 2 の位相比較信号としたことを特徴とする請求項 1 に記載の位相比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデータとクロックの位相差に応じたパルス幅の位相比較信号を出力するハーフレート位相比較回路に関する。

【0002】

【従来の技術】

【非特許文献】「A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector, Jafar Savoj and Behzad Razavi, IEEE Journal of Solid-state Circuits, vol. 36, No. 5, pp. 761-769, May 2001. 位相比較回路はFig. 7」

上記非特許文献に示されたハーフレート型線形位相比較回路を、図5および図6を用いて説明する。従来の位相比較回路は、入力データ D_{in} とクロック CK の位相差を位相比較信号 $Error$ と基準信号 Ref のパルス幅の差であらわす回路である。クロック CK の立ち上がり（または立ち下がり）エッジがデータ D_{in} の中央に位置する所望の位相関係になった時に、位相比較信号 $Error$ のパルス幅が基準信号 Ref のパルス幅の $1/2$ になる。クロック CK の立ち上がりエッジがデータ D_{in} の中央より Δt （図6では Δt の最大範囲として $\pm 0.5 * T$ と表示）だけ前に位置した時、位相比較信号 $Error$ は所望の位相関係になった時の基準信号 Ref の $1/2$ のパルス幅に対して Δt だけ幅が少ない位相比較信号 $Error$ を出力し、クロック CK の立ち上がりエッジがデータ D_{in} の中央より Δt だけ後ろに位置した時、基準信号 Ref の $1/2$ のパルス幅に対して Δt だけ幅が広い位相比較信号 $Error$ を出力する。

【0003】

次に、従来の位相比較回路における位相比較信号 $Error$ と基準信号 Ref の生成について図6を用いて説明する。

【0004】

図6において、データ D_{in} を2個のラッチ回路 $L1$ 、 $L2$ でラッチする。ラッチ回路 $L1$ は、クロック CK の立ち上がりエッジでデータ D_{in} をラッチし、ラッチ回路 $L2$ はクロック CK の立ち下がりエッジでラッチする。排他的論理回路 $E1$ はラッチ回路 $L1$ 、 $L2$ の出力 $Q1$ と $Q2$ の排他的論理和（XOR）を位相比較信号 $Error$ として出力する。この位相比較信号 $Error$ はデータ D_{in} の遷移があった場合、データの遷移エッジ（図6では①で表示）とクロック CK の立ち上がり、または立ち下がりエッジ（図6では②と③で表示）との時間

差をパルス幅とするパルスとして出力される。一方、出力 Q1 と出力 Q2 は各々 2 個のラッチ回路 L3、L4 でラッチする。ラッチ回路 L3 はクロック CK の立ち下がりエッジでラッチし、ラッチ回路 L4 はクロック CK の立ち上がりエッジでラッチする。排他的論理和回路 E2 はラッチ回路 L3、L4 の出力 Q3 と Q4 の XOR を、基準信号 Ref として出力する。基準信号 Ref は、データ Din の遷移があった場合には常にクロック CK の立ち下がりから立ち上がりまでの幅 (データ周期 T と等しい) のパルスとして出力される。

【0005】

【発明が解決しようとする課題】

この従来例において、位相比較信号 Error はデータ Din の遷移エッジと次のクロック CK の遷移エッジとの時間幅を排他的論理和回路 E1 によりパルスとして取り出している。このため、図 6 に示すようにデータ Din の周期が Tsec、データ速度が $f/2\text{ Hz}$ (クロック換算) であるとする、位相比較信号 Error のパルス幅は $0.5 * T$ 以下となり、回路に要求される動作速度は周波数換算で最高 $f\text{ Hz}$ 以上となる。したがって、従来の位相比較回路を実現するためには、入力するデータ速度の 2 倍以上の速度で動作可能な素子を必要とする欠点があった。

【0006】

本発明は、上述の課題を解決するためになされたもので、位相比較回路内の動作速度を緩和した位相比較回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

請求項 1 に係る位相比較回路は入力のデータの半分のレートをもつクロックで動作するハーフレート位相比較回路において、第 1 のラッチ回路と第 2 のラッチ回路に前記データを入力し、前記第 1 のラッチ回路は第 1 のクロックでラッチを行い、前記第 2 のラッチ回路は前記第 1 のクロックの反転クロックである第 2 のクロックでラッチを行い、前記第 1 のラッチ回路の出力を第 3 のラッチ回路に入力し、前記第 2 のラッチ回路の出力を第 4 のラッチ回路に入力し、前記第 3 のラッチ回路は前記第 2 のクロックでラッチを行い、前記第 4 のラッチ回路は前記第

1 のクロックでラッチを行い、前記第 2 のラッチ回路の出力と前記第 3 のラッチ回路の出力との間の排他的論理和を第 1 の位相比較信号とし、前記第 1 のラッチ回路の出力と前記第 4 のラッチ回路の出力との間の排他的論理和を第 2 の位相比較信号とする構成とした。

【0008】

請求項 2 に係る位相比較回路は、前記第 2 のラッチ回路の出力端子に第 1 の遅延回路を接続し、前記第 1 の遅延回路の出力と前記第 3 のラッチ回路の出力との間の排他的論理和を前記第 1 の位相比較信号とし、前記第 1 のラッチ回路の出力端子に第 2 の遅延回路を接続し、前記第 2 の遅延回路の出力と前記第 4 のラッチ回路の出力との間の排他的論理和を前記第 2 の位相比較信号とする構成としている。

【0009】

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態について説明する。

【0010】

図 1 は本発明の第 1 の実施の形態を示す位相比較回路であり、図 1 に沿って回路構成を説明する。位相比較回路は、4 個のラッチ回路 L 1（第 1 のラッチ回路）、L 2（第 2 のラッチ回路）、L 3（第 3 のラッチ回路）、L 4（第 4 のラッチ回路）、3 個の排他的論理和回路 E 1、E 2、E 3 と 2 個の AND 回路 A 1、A 2 で構成している。

【0011】

次に本発明の第 1 の実施形態の接続を、図 1 に基づいて説明する。本発明の第 1 の実施の形態の位相比較回路は、データ D i n をラッチ回路 L 1 と L 2 のデータ端子 D に共通に接続する。ラッチ回路 L 1 の出力端子 Q はラッチ回路 L 3 のデータ端子 D および排他的論理和回路 E 2 の第 1 の入力端子に接続する。ラッチ回路 L 2 の出力端子 Q はラッチ回路 L 4 のデータ端子 D および排他的論理和回路 E 1 の第 1 の入力端子に接続する。ラッチ回路 L 3 の出力端子 Q は排他的論理和回路 E 1 の第 2 の入力端子および排他的論理和回路 E 3 の第 1 の入力端子に接続する。ラッチ回路 L 4 の出力端子 Q は排他的論理和回路 E 2 の第 2 の入力端子およ

び排他的論理和回路 E 3 の第 2 の入力端子に接続する。排他的論理和回路 E 1 の出力は本発明の第 1 の実施の形態の位相比較回路の位相比較信号 E r r o r 1 (第 1 の位相比較信号) である。排他的論理和回路 E 2 の出力は本発明の第 1 の実施の形態の位相比較回路の位相比較信号 E r r o r 2 (第 2 の位相比較信号) である。

【0012】

排他的論理和回路 E 3 の出力端子は AND 回路 A 1 と AND 回路 A 2 の第 1 の入力端子に共通に接続する。クロック C K 1 (第 1 のクロック) は、ラッチ回路 L 1 のクロック入力端子 C とラッチ回路 L 4 のクロック入力端子 C と AND 回路 A 2 の第 2 の入力端子に接続する。また、クロック C K 1 の反転クロックである C K 2 (第 2 のクロック) は、ラッチ回路 L 2 のクロック入力端子 C とラッチ回路 L 3 のクロック入力端子 C と AND 回路 A 1 の第 2 の入力端子に接続する。図 2 に示すようにクロック C K 1 およびクロック C K 2 の周期がデータ D i n の 2 倍の周期を持つハーフレートクロックである。

【0013】

本発明の第 1 の実施の形態の動作を、図 2 を用いて説明する。位相比較回路としての基本動作は次の通りである。入力 of データ D i n の時間中心 (入力 of データ周期 T の中央の時間点) にクロック C K 1 とクロック C K 2 の遷移エッジが位置した状態を位相が合ったと表現する。データ D i n の時間中心からクロック C K 1 とクロック C K 2 の遷移エッジが外れた時間量を「位相ズレ幅」と表現し、位相が合った時の位相比較信号 E r r o r のパルス幅を位相比較信号 E r r o r の基準幅として、位相ズレ幅をそのまま位相比較信号 E r r o r の基準幅に増減して出力するのが位相比較器の動作である。

【0014】

排他的論理和回路 E 1、E 2 の出力である位相比較信号 E r r o r 1、2 は、データ D i n において連続する 2 つのデータがハイからローに、またはローからハイに遷移した場合に出力される。また、排他的論理和回路 E 3 の出力とクロック C K 1、C K 2 との AND 回路 A 1、A 2 の出力である基準信号 R e f 1、2 は、データ D i n において連続する 2 つのデータがハイからローに、またはロー

からハイに遷移した場合のみクロックCK1の立ち上がりタイミングからクロックCK2の立ち上がりタイミングまでの時間間隔（データ周期Tと等しい）のパルスを出力する。

【0015】

本発明の第1の実施の形態では、データDinをラッチ回路L1において、クロックCK1の立ち上がりエッジでラッチする。ラッチ回路L1の出力は、図2の出力q1であり、偶数番のデータをラッチすることにより（位相ズレが無い場合には）データ周期Tの1.5倍の幅に伸長される。更に、データDinはラッチ回路L2においてクロックCK2の立ち上がりエッジでラッチされる。ラッチ回路L2の出力は図2の出力q2であり、奇数番のデータを（位相ズレが無い場合には）ラッチすることによりデータ周期Tの1.5倍の幅に伸長される。出力q1をラッチ回路L3にてクロックCK2の立ち上がりエッジでラッチし、データDinの偶数番目のデータを（位相ズレが無い場合には）T/2だけ遅延したラッチ回路L3の出力q3とする。同様に、出力q2をラッチ回路L4にてクロックCK1の立ち上がりエッジでラッチし、データDinの奇数番目のデータを（位相ズレが無い場合には）T/2だけ遅延したラッチ回路L4の出力q4とする。ここで、排他的論理和回路E1で出力q2および出力q3の排他的論理和をとることにより、データDinのn番目のデータである出力q3とn+1番目（nは偶数）のデータであるq2の排他的論理和回路E1出力の位相比較信号Error1が得られる。また、排他的論理和回路E2で出力q1および出力q4の排他的論理和をとることにより、データDinのm番目のデータである出力q4とm+1番目（mは奇数）のデータである出力q1の排他的論理和回路E2出力の位相比較信号Error2が得られる。そして、ラッチ回路L1の偶数番目の出力データ幅とラッチ回路L2の奇数番目の出力データ幅が（位相ズレが無い場合には）1.5 * Tに伸長されているため、位相比較信号Error1と位相比較信号Error2のパルス幅も1.5 * Tに伸長される。位相比較信号Error1と位相比較信号Error2のパルスの立ち上がりは、データDinの遷移点（図2では①、②で表示）であり、立ち下りはクロックCK1（CK2）の立ち上がりエッジ（図2では③、④で表示）である。それ故、位相比較信号Er

$r o r 1$ と位相比較信号 $E r r o r 2$ のパルス幅は、データ周期 T にデータ $D i n$ の遷移点からクロックの立ち上がりエッジまでの時間 $0.5 * T$ （位相ズレが無い場合）を加えた時間幅となる。データ $D i n$ とクロック $C K 1$ （ $C K 2$ ）の間の位相ズレが $\pm 0.5 * T$ ある場合、データ $D i n$ の遷移点からクロック $C K 1$ （ $C K 2$ ）の立ち上がりエッジまでの時間が、位相ズレ幅である $0.5 * T$ だけ増減する。したがって、位相比較信号 $E r r o r 1$ と位相比較信号 $E r r o r 2$ のパルス幅は位相ズレがない場合のパルス幅である $1.5 * T$ を中心として $1.5 * T \pm 0.5 * T$ となる。よって、データ $D i n$ とクロック $C K 1$ （ $C K 2$ ）の間の位相ズレ幅が、位相比較信号 $E r r o r 1$ と位相比較信号 $E r r o r 2$ のパルス幅の変化量として出力され、位相比較動作が得られる。しかも、位相比較信号 $E r r o r 1$ と位相比較信号 $E r r o r 2$ のパルス幅の中心値は、従来の $0.5 * T$ の3倍に伸長される。

【0016】

このようにデータ $D i n$ とクロック $C K 1$ （ $C K 2$ ）の位相ズレが $\pm \Delta t$ の場合、位相比較信号 $E r r o r$ のパルス幅を従来の $0.5 * T \pm \Delta t$ から $1.5 * T \pm \Delta t$ に伸長できる。このことにより、動作速度の遅い素子を用いて高速な位相比較器を構成することが可能となる。また、位相比較信号 $E r r o r$ のパルス幅の変化を比較した図4において、データ $D i n$ とクロック $C K 1$ （ $C K 2$ ）の位相が合った状態およびデータ $D i n$ の位相が遅れた場合にはパルス幅をあらわす誤差は同等であるが、データ $D i n$ の位相が進んだ場合には、従来例では信号の立ち上がり時間と立ち下がり時間の影響によりパルスの平らな部分が消え始めるため、位相の変化幅とパルス幅の間に誤差が生じる。本発明の第1の実施形態では、 $E r r o r$ 信号のパルス幅が伸長されているため、信号の立ち上がり時間と立ち下がり時間の影響による誤差が生じにくく、位相ズレが大きな範囲まで高精度に位相を比較できる効果がある。

【0017】

基準信号 $R e f$ はラッチ回路 $L 3$ とラッチ回路 $L 4$ の出力 $q 3$ と $q 4$ の排他的論理和回路 $E 3$ の出力をAND回路 $A 1$ と $A 2$ により、クロック $C K 2$ とのAND回路 $A 1$ の出力である基準信号 $R e f 1$ とクロック $C K 1$ とのAND回路 $A 2$

の出力である基準信号R e f 2に分ける。基準信号R e f 1は、データD i nのn番目のデータとn+1番目（nは偶数）のデータD i nで遷移がある場合にパルスとなる。基準信号R e f 2は、データD i nのm番目のデータとm+1番目（mは奇数）のデータで遷移がある場合にパルスとなる。基準信号R e f 1と基準信号R e f 2のパルスは、データD i nとクロックC K 1、C K 2の位相関係にかかわらずデータ周期Tのパルスである。基準信号R e f 1は位相比較信号E r r o r 1のパルス幅の増減を判別する基準パルスとなり、基準信号R e f 2は位相比較信号E r r o r 2のパルス幅の増減を判別する基準パルスとなる。

【0018】

本発明の第1の実施の形態では、ラッチ回路の動作エッジをクロックの立ち上がりエッジとしたが、これを立ち下がりエッジに変更することは容易に類推できる。また、基準信号R e f を基準信号R e f 1と基準信号R e f 2に分離したが、排他的論理和回路E 3の出力である基準信号R e f 信号のままでも位相比較回路動作は可能である。

【0019】

本発明の第2の実施の形態を、図3を用いて説明する。第1の実施の形態とは遅延回路D 1（第1の遅延回路）と遅延回路D 2（第2の遅延回路）を具備することが異なる。回路の接続と動作は、本発明の第1の実施の形態とほぼ類似しているため差異のみを説明する。遅延回路D 1はラッチ回路L 2の出力を入力とし、遅延回路D 1の出力端子は排他的論理和回路E 1の第1の入力端子と接続する。遅延回路D 2はラッチ回路L 1の出力を入力とし、遅延回路D 2の出力端子は排他的論理和回路E 2の第1の入力端子に接続する。遅延回路D 1とD 2は、それぞれラッチ回路L 2とL 1の出力q 2、q 1を遅延させる。その遅延量は、ラッチ回路L 3あるいはラッチ回路L 4のクロックが遷移して出力データが遷移する間の出力遅延時間程度に設定する。この設定により、ラッチ回路L 1（ラッチ回路L 2）とラッチ回路L 3（ラッチ回路L 4）の出力の遷移タイミングが一致する。このように位相比較信号E r r o r 1、E r r o r 2を生成する排他的論理和回路E 1、E 2の2つの入力間遅延差を補正することにより、位相比較信号E r r o r 1、E r r o r 2の幅をデータD i nとクロックC K 1、C K 2との

位相差に近づけることができ、第1の実施例より高い精度の位相比較が可能となる。

【0020】

【発明の効果】

本発明の請求項1によると、クロックの立ち上がり（または立ち下り）エッジが入力データの中央に位置する所望の位相関係になったときに、第1の位相比較信号と、第2の位相比較信号の幅が入力データ幅の1.5倍となり、位相比較信号の動作速度を遅くできる。

【0021】

本発明の請求項2によると、第1の位相比較信号と第2の位相比較信号を生成する排他的論理和の2つの入力間遅延差を高い精度で補正できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態を示す位相比較回路図。

【図2】

本発明の第1の実施の形態の動作を示すタイムチャート。

【図3】

本発明の第2の実施の形態を示す位相比較回路図。

【図4】

本発明の第1の実施の形態と従来例の位相比較信号Errorのパルス幅を比較した図。

【図5】

従来の位相比較回路の回路図。

【図6】

従来の位相比較回路の動作を示すタイムチャート。

【符号の説明】

D1、D2…第1の遅延回路、第2の遅延回路

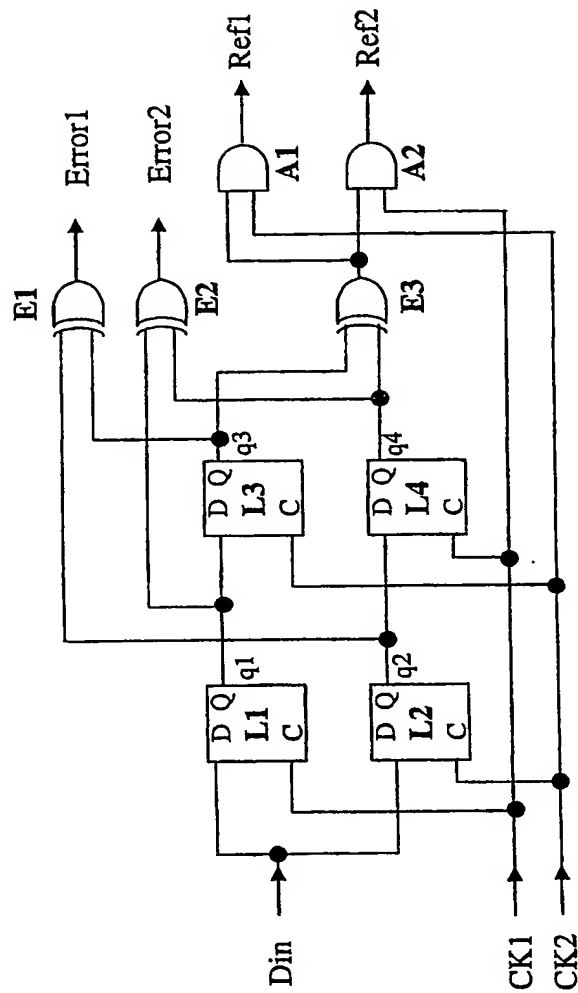
E1、E2、E3…排他的論理和回路1、排他的論理和回路2、排他的論理和回路3

L1、L2、L3、L4…第1のラッチ回路、第2のラッチ回路、第3のラッチ回路、第4のラッチ回路

【書類名】図面

【図1】

図1



【図2】

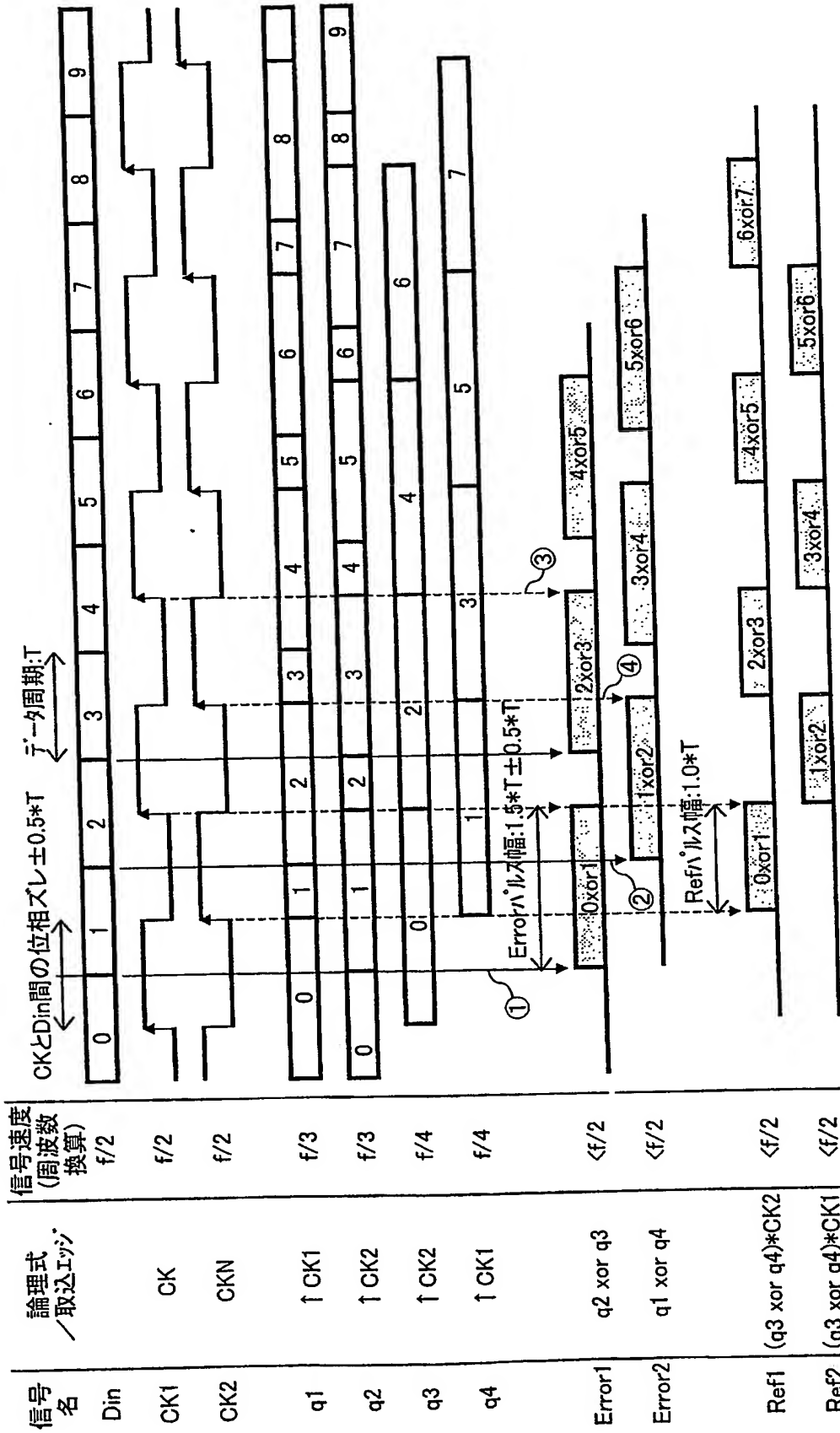
E1、E2、E3…排他的論理和回路1、排他的論理和回路2

排他的論理和回路3

L1、L2、L3、L4…第1のラッチ回路、第2のラッチ回路

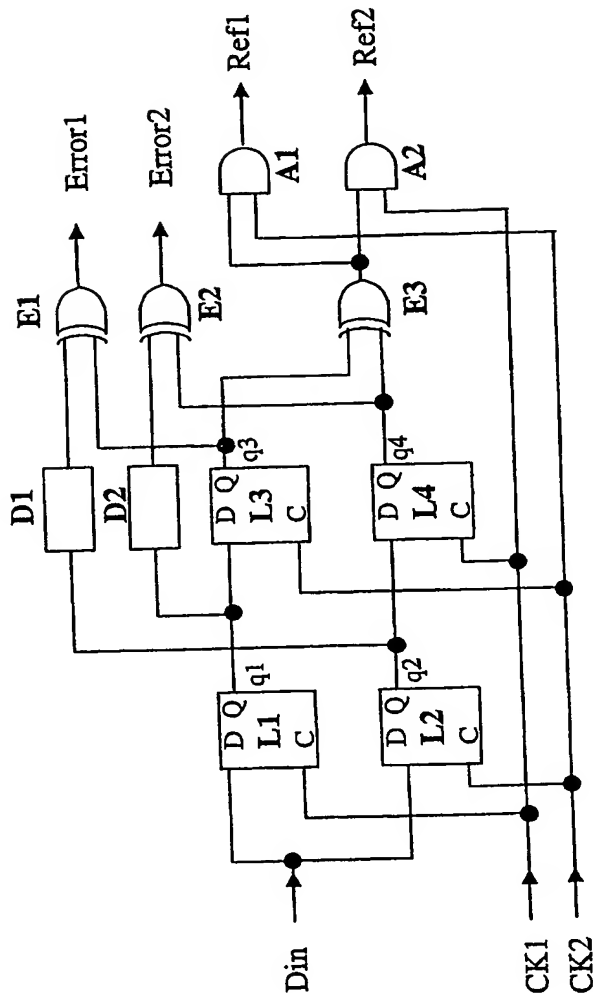
第3のラッチ回路、第4のラッチ回路

図2



【図3】

図3



E1、E2、E3…排他的論理和回路1、排他的論理和回路2

排他的論理和回路3

L1、L2、L3、L4…第1のラッチ回路、第2のラッチ回路

第3のラッチ回路、第4のラッチ回路

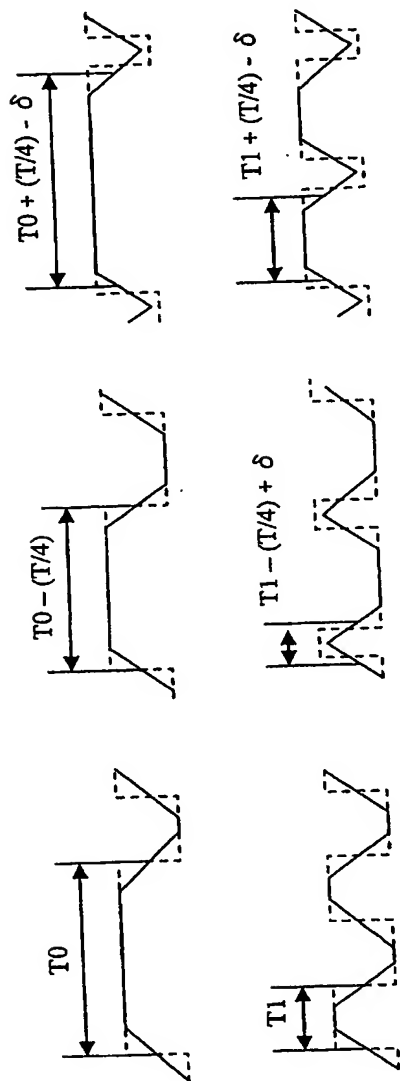
D1、D2…第1の遅延回路、第2の遅延回路

【図 4】

図 4

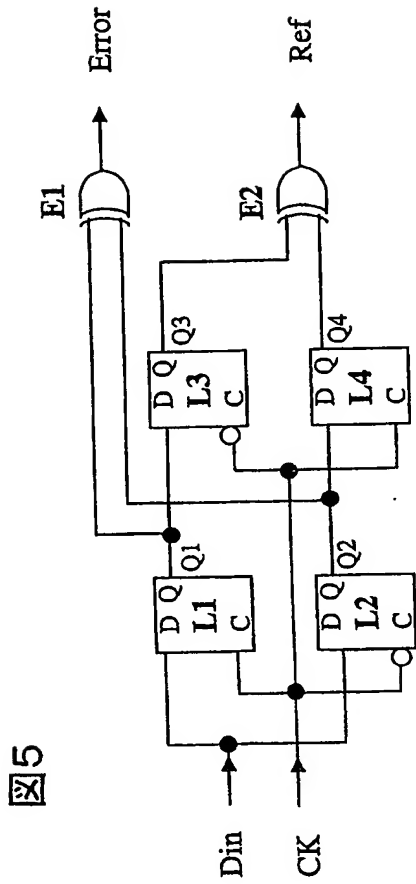
本発明
(Error1, Error2)

従来例
(Error)



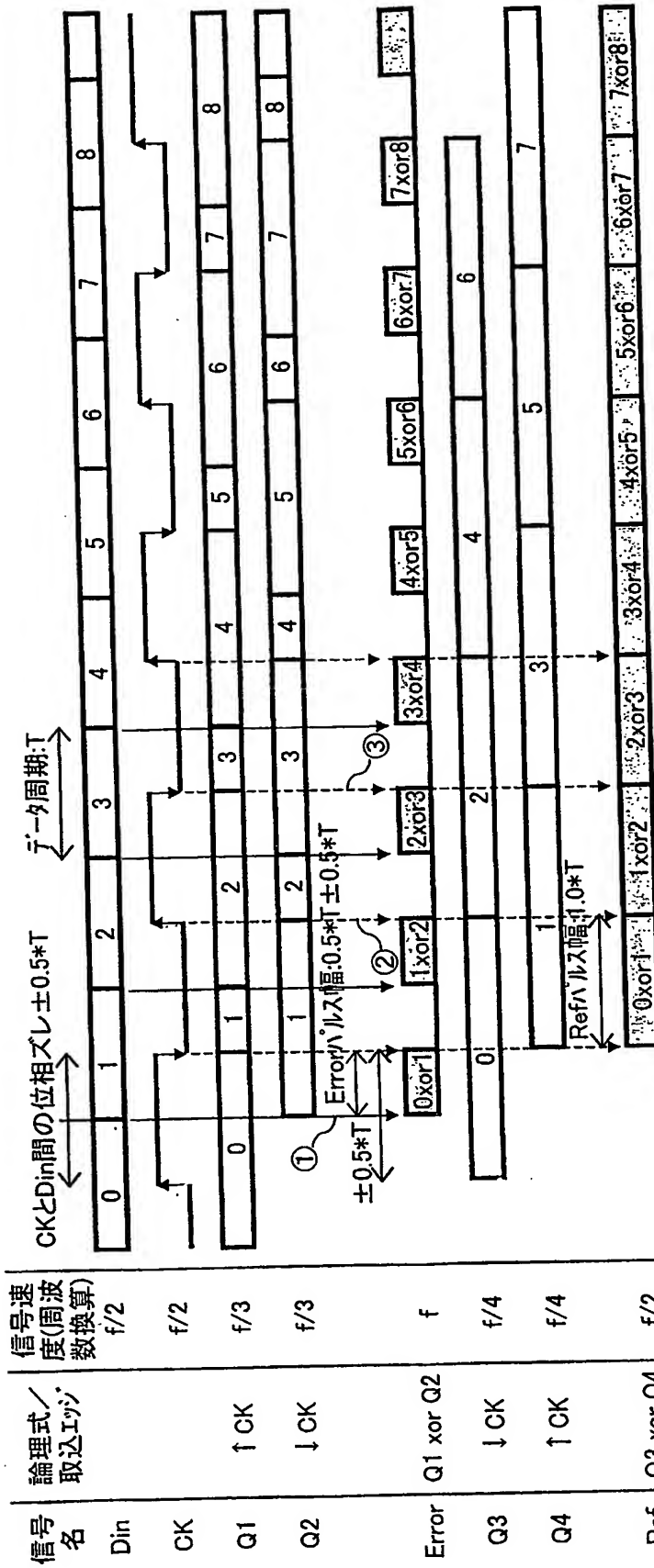
(a) 位相があった状態 (b) $(1/4) \cdot T$ 進んだ状態 (c) $(1/4) \cdot T$ 遅れた状態

【図 5】



【図 6】

図 6



【書類名】 要約書

【要約】

【課題】 ラッチ回路は従来から良く知られた4個を使用しながらも、位相比較信号のパルス幅を広くして、動作速度の遅い素子を用いても高速な位相比較を可能とする。

【解決手段】 ラッチ回路L1の出力q1とラッチ回路L4の出力q4の排他的論理和回路E2の出力を位相比較信号Error2とし、ラッチ回路L2の出力q2とラッチ回路L3の出力q3の排他的論理和回路E1の出力を位相比較信号Error1とすることにより、クロックCK1、CK2の立ち上がりエッジがデータDinの中央に位置する所望の位相関係になった時に、位相比較信号Error1と位相比較信号Error2の幅が入力のデータ幅の1.5倍となり、位相比較信号の動作速度を遅くできる。

【選択図】 図1

特願 2003-057261

出願人履歴情報

識別番号

[000004226]

1. 変更年月日

1999年 7月15日

[変更理由]

住所変更

住所

東京都千代田区大手町二丁目3番1号

氏名

日本電信電話株式会社